



(19)

(11) Publication number: 2002110931 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000302215

(51) Intl. Cl.: H01L 27/105

(22) Application date: 02.10.00

(30) Priority:

(43) Date of application
publication: 12.04.02(84) Designated contracting
states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: YOSHIKAWA TAKAFUMI
MIKAWA TAKUMI
HAYASHI SHINICHIRO

(74) Representative:

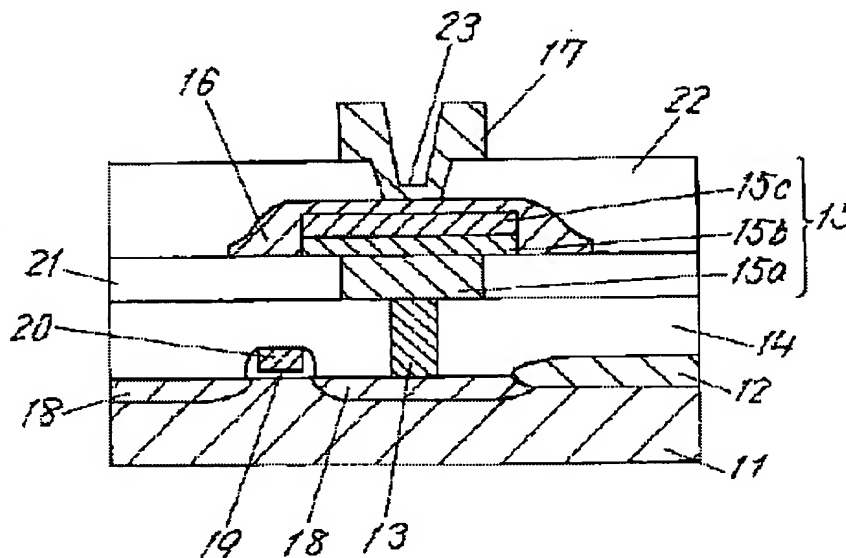
(54) FERRODIELECTRIC MEMORY
DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent hydrogen from infiltrating the capacitor part of a ferroelectric memory device and causing malfunctions due to deterioration of the capacitor by hydrogen.

SOLUTION: The ferroelectric memory device is constituted by forming on a silicon substrate 11 a device isolating oxide film 12, interlayer insulating film 14 having a contact plug 13, ferroelectric capacitor 15 which includes a lower electrode 15a and a capacitor insulating film 15b made of a ferroelectric material and an upper electrode 15c, conductive hydrogen barrier film 16, interlayer insulating film 22 having a contact hole 23, and wiring layer 17 formed in the contact hole 23. The conductive hydrogen barrier film 16 is formed of a TiAl alloy or TiAl nitride or a partially oxidized material of these materials.

COPYRIGHT: (C)2002,JPO



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-110931
(P2002-110931A)

(43)公開日 平成14年4月12日(2002.4.12)

(51) Int.Cl.⁷
H 0 1 L 27/105

識別記号

F I
H O 1 L 27/10

テ-マ-コ-ト (参考)

444B 5F083

審査請求 未請求 請求項の数 7 O.L (全 8 頁)

(21)出願番号 特願2000-302215(P2000-302215)

(22)出願日 平成12年10月2日(2000.10.2)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 吉川 貴文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)發明者 三河 巧

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

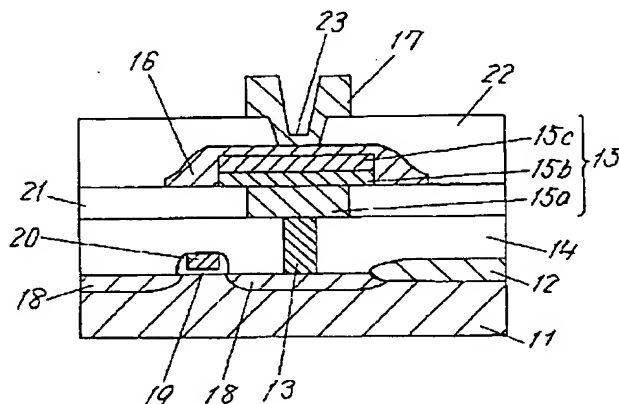
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

・【課題】 強誘電体メモリ装置のキャパシタ部に水素の侵入を防止し、水素によるキャパシタの劣化に起因する誤動作を防止する。

【解決手段】 シリコン基板 11 の上に素子分離酸化膜 12、コンタクトプラグ 13 を有する層間絶縁膜 14、下部電極 15a と強誘電体材料からなる容量絶縁膜 15b と上部電極 15c とからなる強誘電体キャパシタ 15、導電性水素バリア膜 16、コンタクトホール 23 を有する層間絶縁膜 22、このコンタクトホールに形成された配線層 17 を形成することにより、強誘電体メモリ装置を構成する。この導電性水素バリア膜 16 は、TiAl 合金やその窒化物、または、それら材料の一部を酸化させた膜を用いる。



.【特許請求の範囲】

.【請求項1】 基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記上部電極上、あるいは、前記上部電極上及び前記上部電極と前記容量絶縁膜の側面を、導電性水素バリア性を有するTiAl合金又はTiAl合金の窒化物からなる膜で覆う構成を有する強誘電体メモリ装置。

.【請求項2】 前記導電性水素バリア性を有する膜が、TiAl合金又はTiAl合金の窒化物の一部を酸化した膜であることを特徴とする請求項1記載の強誘電体メモリ装置。

.【請求項3】 基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタが絶縁性水素バリア性を有するアモルファス構造のSi膜あるいはSiC膜で覆われていることを特徴とする強誘電体メモリ装置。

.【請求項4】 基板上に、下部電極と前記下部電極上に形成された強誘電体よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタを覆うように形成された水素の透過を遮断する水素バリア膜が、水素拡散低減材料と水素吸蔵材料の積層構成となっていることを特徴とする強誘電体メモリ装置。

.【請求項5】 前記水素拡散低減材料が、SiONあるいはSi₃N₄からなることを特徴とする請求項4記載の強誘電体メモリ装置。

.【請求項6】 前記水素吸蔵材料の構成元素にTi、Ta、V、Y、Zr、NbあるいはHfを含む材料からなることを特徴とする請求項4記載の強誘電体メモリ装置。

.【発明の詳細な説明】

.【0001】

.【発明の属する技術分野】 本発明は、強誘電体キャパシタを有する強誘電体メモリ装置に関するものである。

.【0002】

.【従来の技術】 近年、半導体装置としては、例えばSrBi₂Ta₂O₉.(以下、SBTと記す)やPb(Zr, Ti)O₃.(以下、PZTと記す)等のヒステリシス特性を有する強誘電体材料を容量絶縁膜に用いた、不揮発性メモリである強誘電体メモリが開発されている。

.【0003】 以下、従来の強誘電体メモリ装置について図面を参照しながら説明する。

.【0004】 図7は、従来の強誘電体メモリ装置の構成断面図である。

.【0005】 図7に示すように、シリコンよりなる半導体基板1上にトランジスタ2が形成されており、半導体

基板1上に堆積させた層間絶縁膜3には、導電性薄膜よりなる下部電極4aと強誘電体薄膜よりなる容量絶縁膜4bと導電性薄膜よりなる上部電極4cとを有する強誘電体キャパシタ4が形成されている。

.【0006】 層間絶縁膜3には、トランジスタ2と強誘電体キャパシタ4との間に位置する半導体基板1の上面を露出させる第1のコンタクトホール5と上部電極4cの上面を露出させる第2のコンタクトホール6とが形成され、第1のコンタクトホール5と第2のコンタクトホール6に半導体基板1と上部電極4cとを電氣的に接続する導電膜よりなる配線層7が形成されている。層間絶縁膜3及び配線層7の上には全面にわたって表面保護膜8が形成されている。

.【0007】

.【発明が解決しようとする課題】 しかしながら、このような強誘電体メモリ装置に用いられるSBTやPZT等の強誘電体は酸化物であるため、還元性雰囲気、特に水素に曝されると強誘電体酸化物が還元されることで結晶組成が崩れて、絶縁特性や強誘電体特性が大きく劣化してしまうことが知られている。

.【0008】 特に近年、強誘電体メモリ装置の微細化が図られるに伴って強誘電体キャパシタの縮小化が図られていることから、水素による影響はさらに大きくなっていく。

.【0009】 ところが、水素を含んだ雰囲気は、LSI等の半導体装置の製造工程では一般的に生じている。例えば、Al配線形成後にMOSトランジスタの特性確保のため、水素を含んだ雰囲気中でアニールが行われる。更に、半導体装置の微細化に伴い、アスペクト比の大きなコンタクトホールのW(タングステン)の埋め込みにはCVD法が用いられるが、これは水素を含む非常に強い還元雰囲気下で行われる。

.【0010】 本発明では、以上のことを考慮して、強誘電体メモリ装置製造時の水素還元雰囲気下でも、強誘電体キャパシタ部の強誘電体材料からなる容量絶縁膜に水素が侵入しないようにすることで、還元雰囲気による容量絶縁膜の劣化を防止し得る高集積な強誘電体メモリ装置を提供することを目的とする。

.【0011】

.【課題を解決するための手段】 上記目的を達成するため、本発明の請求項1記載の強誘電体メモリ装置は、基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記上部電極上、あるいは、前記上部電極上及び前記上部電極と前記容量絶縁膜の側面を、導電性水素バリア性を有するTiAl合金又はTiAl合金の窒化物からなる膜で覆う構成を有することを特徴とするものである。また、本発明の請求項2記載の強誘電体メモリ装置は、請求項1記載の強誘電体メモリ装置において、前記

10

20

30

40

50

導電性水素バリア性を有する膜が、TiAl合金又はTiAl合金の窒化物の一部を酸化した膜であることを特徴とするものである。

【0012】これらのTiAl系材料は、2種類の相（物質）からなる組織を形成する特徴があつて水素ガスのパスとなる粒界ができにくい上に、水素を多く吸蔵しやすく、かつ、吸蔵した水素を放出する温度が600℃であるTiと、水素と共有結合するAlとの合金であるので、多量の水素をより安定に吸蔵することができる。

【0013】さらに、TiAl合金やその窒化物を酸化すると表面に緻密なAl₂O₃の相ができるが、そのAl₂O₃は水素のバリア性を有する材料としてよく知られている。それゆえ、水素バリア膜として前記TiAl系材料を用いた場合、強誘電体メモリ装置製造工程において水素還元雰囲気中に曝されても、前記TiAl系材料によって水素が強誘電体材料からなる容量絶縁膜に浸透することを防ぐことができるので、水素還元雰囲気下での強誘電体キャパシタの特性劣化を回避することができる。また、前記TiAl系材料は導電性を有しているため電極取り出し口の開口を設ける必要がないことから、前記容量絶縁膜を十分保護すると同時に引き出し用の配線層との良好なコンタクトを取ることができる。

【0014】請求項3に係る発明の強誘電体メモリ装置は、基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタが絶縁性水素バリア性を有するアモルファス構造のSi膜あるいはSiC膜で覆われていることを特徴とするものである。

【0015】前記構成のように水素バリア膜としてSiのアモルファス構造膜を用いると、結晶化膜のように水素ガスのパスとなる粒界等がないために十分な水素ガス遮断性を得ることができるとともに、アモルファスSi中のSiの未結合手（ダングリングボンド）が容易に水素と結合することから、水素の吸蔵性も有する。さらに、アモルファスSiCではSiの未結合手とともにCの未結合手があり、CとHの結合エネルギーはSiとHの結合エネルギーより大きいことから、より安定に水素を吸蔵することが可能である。それゆえ、水素バリア膜として前記アモルファス構造のSiあるいはSiCを用いた場合、強誘電体メモリ装置製造工程において水素還元雰囲気中に曝されても、前記材料により水素が強誘電体材料からなる容量絶縁膜に浸透することを防ぐことができるので、水素還元雰囲気下での強誘電体キャパシタの特性劣化を回避することができる。

【0016】請求項4に係る発明の強誘電体メモリ装置は、基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタを覆うように形成され

た水素の透過を遮断する水素バリア膜が、水素拡散低減材料と水素吸蔵材料の積層構成となっていることを特徴とするものである。

【0017】この構成では水素の拡散低減効果と吸蔵効果の2つの機構によって水素が強誘電体材料からなる容量絶縁膜に浸透することを防ぐことができるので、水素還元雰囲気下での強誘電体キャパシタの特性劣化を回避することができる。

【0018】本発明の請求項5記載の強誘電体メモリ装置は、請求項4記載の強誘電体メモリ装置において、前記水素拡散低減材料が、SiONあるいはSi₃N₄からなることを特徴とするものである。また、本発明の請求項6記載の強誘電体メモリ装置は、請求項4記載の強誘電体メモリ装置において、前記水素吸蔵材料の構成元素がTi、Ta、V、Y、Zr、NbあるいはHfを含む材料からなることを特徴とするものである。

【0019】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【0020】（実施の形態1）図1に本発明の第1の実施形態に係る強誘電体メモリ装置の側面断面図を示す。図1に示すように、この強誘電体メモリ装置では、シリコン基板11の上に素子分離酸化膜12、コンタクトプラグ13を有する層間絶縁膜14、下部電極15aと強誘電体材料からなる容量絶縁膜15bと上部電極15cとを有する強誘電体キャパシタ15、水素バリア膜16及び配線層17が順番に形成され、上部電極15c上と、上部電極15c及び容量絶縁膜15bの側面がTiAl系の水素バリア膜16で覆われている。また、シリコン基板11の不純物拡散領域18の間のゲート酸化膜19の上にゲート電極20が形成されている。

【0021】次に、上述のように構成されたこの第1の実施形態による強誘電体メモリ装置の製造方法について図2を用いて説明する。

【0022】まず図2（a）に示すように、通常のCMOSプロセスによりシリコン基板11上で不純物拡散領域18の間（素子分離酸化膜12から隔てられている）に形成されるゲート酸化膜19上に、ゲート電極20を形成することによりトランジスタ部を作製する。その後、BPSG層による第1の層間絶縁膜14を形成し、図2（a）に示すようにエッチングによってコンタクトホールを形成する。コンタクトホールの側面及び底面にスパッタリング法でTiを10nm、CVD法でTiNを10nm堆積させた後、CVD法によってWをコンタクトホールに埋め込み、CMPによりエッチバックしてコンタクトプラグ13を形成する。

【0023】次に図2（b）に示すように、下部電極15aをスパッタリング法により40nmのTiN、100nmのIr、100nmのIrO₂、50nmのPtを順次成膜し、エッチングにより下部電極15aの加工

を行うことにより形成する。そして、第2の層間絶縁膜21としてCVD法によりNSG膜を500nm形成し、CMPにより下部電極15aの上面と第2の層間絶縁膜21の上面の平坦化を行う。

【0024】次に図2(c)に示すように、下部電極15aのPt上に例えばSBT膜のような強誘電体材料からなる容量絶縁膜15bをスピン塗布により100nm成膜し、さらにその上にスパッタリング法により上部電極15cとなるPtを100nm成膜する。そして、容量絶縁膜15bと上部電極15cが図2(c)に示すように下部電極15aの上面の面積より大きく残るようにエッチング加工する。

【0025】引き続き、導電性の水素バリア膜16を成膜し、上部電極15cの上面と、上部電極15cと容量絶縁膜15bの側面を覆う形になるようにエッチング加工を行う。ここで、水素バリア膜16としてはスパッタリング法により成膜したTiAl合金やその窒化物、あるいは、それらの材料の一部を酸化した膜として、例えば、TiAl合金やその窒化物を酸素中でRTA処理により極表面のみを酸化させた膜を用い、その水素バリア膜16の膜厚を100nmとしている。

【0026】この後、図2(d)に示すように、全面に第3の層間絶縁膜22としてO₃とTEOS(テトラエトキシシラン)を用いた還元性のないCVD法によりNSG膜を形成した後、上部電極15cの上の第3の層間絶縁膜22にコンタクトホール23を形成する。そして、Al合金等を堆積して所定の形状に加工することで、コンタクトホール23を介して上部電極15cと接続される配線層17を形成し、その配線層17の上に保護膜を形成する。

【0027】上記実施の形態においては、上部電極15cの上面と、上部電極15c及び強誘電体材料からなる容量絶縁膜15bの側面が水素バリア性を有するTiAl系材料で覆われるとともに、下部電極15aの最下層にも水素バリア性のあるTiN膜があるため、強誘電体キャパシタ15の下面の一部を除く大部分が水素バリア性のある膜で覆われることになる。それゆえ、強誘電体キャパシタ形成以後の水素還元雰囲気下での工程においても、酸化物の強誘電体材料からなる容量絶縁膜15bへ拡散する水素の大部分を防止できるために、容量絶縁膜15bを構成する強誘電体材料のもつ特性が還元によって劣化されない。よって、高信頼性を有する強誘電体メモリ装置が得られるとともに、高歩留まりを実現できる。

【0028】また、本実施形態において、下部電極15aの最下層のTiNの代わりにTiAl合金やその窒化物を用いると、さらに効果を高めることができる。

【0029】(実施の形態2) 図3に本発明の第2の実施形態に係る強誘電体メモリ装置の側面断面図を示す。この強誘電体メモリ装置ではシリコン基板31の上に素

子分離酸化膜32、コンタクトプラグ33を有する層間絶縁膜34、第1の導電性の水素バリア膜35、下部電極36aと強誘電体材料からなる容量絶縁膜36bと上部電極36cとを有する強誘電体キャパシタ36、第2の導電性の水素バリア膜37、絶縁性の水素バリア膜38及び配線層39がこの順で形成され、強誘電体キャパシタ36の周辺部が隙間なく水素バリア膜で覆われている。また、シリコン基板31の不純物拡散領域40の間でゲート酸化膜41の上にゲート電極42が形成されている。

【0030】次に、上述のように構成されたこの第2の実施形態による強誘電体メモリ装置の製造方法について図4を用いて説明する。

【0031】まず図4(a)に示すように、通常のCMOSプロセスによりシリコン基板31上で不純物拡散領域40の間(素子分離酸化膜32から隔てられている)のゲート酸化膜41の上にゲート電極42を形成することによりトランジスタ部を作製する。

【0032】その後、BPSG層による第1の層間絶縁膜34を形成し、図4(a)に示すように、エッチングによってコンタクトホールを形成する。コンタクトホールの側面及び底面にスパッタリング法でTiを10nm、CVD法でTiNを10nm堆積させて後、CVD法によってWをコンタクトホールに埋め込み、CMPによりエッチバックしてコンタクトプラグ33を形成する。

【0033】次に図4(b)に示すように、スパッタリング法により第1の導電性水素バリア膜35であるTiAl合金あるいはその窒化物を40nm成膜し、その上に下部電極36aである100nmのIr、100nmのIrO₂、50nmのPtをこの順に成膜する。その次に、下部電極36aのPt上に例えばSBT膜のような強誘電体材料からなる容量絶縁膜36bをスピン塗布により100nm成膜し、さらにその上にスパッタリング法により上部電極36cとなるPtを100nm成膜する。そして、導電性の水素バリア膜37としてスパッタリング法によりTiAl合金やTiAl合金の窒化物を100nm成膜し、第1の導電性水素バリア膜35、下部電極36a、容量絶縁膜36b、上部電極36c及び第2の導電性水素バリア膜37を図4(b)に示すようにエッチング加工する。ここで、第2の導電性水素バリア膜37として、TiAl合金やTiAl合金の窒化物の一部を酸化させた膜、例えば、TiAl合金やTiAl合金の窒化物を酸素中でRTA処理により極表面のみを酸化させた膜を用いてもよい。

【0034】引き続き、図4(c)のように絶縁性の水素バリア膜38を成膜し、強誘電体キャパシタ36の上面と側面を覆う形になるようにエッチング加工を行う。ここで、絶縁性の水素バリア膜38としてはアモルファス構造のSiやSiCを用い、その水素バリア膜の膜厚

10

20

30

40

50

を200nmとしている。このアモルファス構造のSiやSiCはCVD法で成膜するのが一般的であるが、CVD法では成膜時に水素が発生してしまうことから、これら材料の成膜はスパッタリング法で行うことが好ましい。

【0035】この後、図4(d)に示すように、全面に第3の層間絶縁膜43としてO₃とTEOSを用いた還元性のないCVD法によりNSG膜を形成した後、上部電極36c上の絶縁性の水素バリア膜38と第3の層間絶縁膜43にコンタクトホール44を形成する。そして、Al合金等を堆積して所定の形状に加工することで、コンタクトホール44を介して上部電極36cと接続される配線層39を形成し、その配線層39の上に保護膜を形成する。

【0036】上記実施の形態においては、強誘電体キャパシタ36の上面と下面が導電性で水素バリア性を有するTiAl系材料膜で覆われるとともに、強誘電体キャパシタの上面と側面が絶縁性で水素バリア性を有するアモルファス構造のSiあるいはSiCの膜で覆われていることから、強誘電体キャパシタ36の全体が水素バリア膜で隙間なく覆われることになる。それゆえ、強誘電体キャパシタ形成以後の水素還元雰囲気下での工程においても、酸化物の強誘電体材料からなる容量絶縁膜36bへ拡散する水素を防止できるために、容量絶縁膜36bを構成する強誘電体材料の特性が還元によって劣化されない。よって、高信頼性を有する強誘電体メモリ装置が得られるとともに、高歩留まりを実現できる。

【0037】(実施の形態3) 図5に本発明の第3の実施形態に係る強誘電体メモリ装置の側面断面図を示す。

【0038】この強誘電体メモリ装置ではシリコン基板51の上に素子分離酸化膜52、コンタクトプラグ53を有する層間絶縁膜54と第1の絶縁性水素バリア膜55、第1の導電性水素バリア膜56、下部電極57aと強誘電体材料からなる容量絶縁膜57bと上部電極57cとを有する強誘電体キャパシタ57、第2の導電性水素バリア膜58、第2の絶縁性水素バリア膜59、第3の絶縁性水素バリア膜60及び配線層61がこの順で形成され、強誘電体キャパシタ57の全体が水素バリア膜で覆われている。また、シリコン基板51の不純物拡散領域62の間のゲート酸化膜63の上にゲート電極64が形成されている。

【0039】次に、上述のように構成されたこの第3の実施形態による強誘電体キャパシタの製造方法について図6を用いて説明する。

【0040】まず図6(a)に示すように、通常のCMOSプロセスによりシリコン基板51上で不純物拡散領域62の間(素子分離酸化膜52から隔てられている)のゲート酸化膜63上にゲート電極64を形成することによりトランジスタ部を作製する。

【0041】その後、BPSG層による第1の層間絶縁

膜54、及び、第1の絶縁性水素バリア膜55であるSi₃N₄あるいはSiONをCVD法により形成し、図6(a)に示すようにエッチングによってコンタクトホールを形成する。コンタクトホールの側面及び底面にスパッタリング法でTiを10nm、CVD法でTiNを10nm堆積させて後、CVD法によってWをコンタクトホールに埋め込み、CMPによりエッチバックしてコンタクトプラグ53を形成する。

【0042】次に図6(b)に示すように、スパッタリング法により第1の導電性水素バリア膜56であるTiAl合金やその窒化物を40nm成膜し、その上に下部電極57aである100nmのIr、100nmのIrO₂、50nmのPtをこの順に成膜する。その次に、下部電極57aのPt上に例えばSBT膜のような強誘電体材料からなる容量絶縁膜57bをスピン塗布により100nm成膜し、さらにその上にスパッタリング法により上部電極57cとなるPtを100nm成膜する。そして、導電性の水素バリア膜58としてスパッタリング法によりTiAl合金やその窒化物を100nm成膜し、第1の導電性水素バリア膜56、下部電極57a、容量絶縁膜57b、上部電極57c及び第2の導電性水素バリア膜58を図6(b)に示すようにエッチング加工する。ここで、第2の導電性水素バリア膜58として、TiAl合金やその窒化物の一部を酸化させた膜、例えば、TiAl合金やその窒化物を酸素中でRTA処理により極表面のみを酸化させた膜を用いてもよい。

【0043】引き続き、図6(c)に示すように、第2の絶縁性水素バリア膜59であるTiO₂をスパッタリング法により200nm成膜し、強誘電体キャパシタ57の上面と側面を覆う形になるようにエッチング加工を行う。

【0044】この後、図6(d)に示すように、第2の絶縁性水素バリア膜59を有する基板全面に第3の絶縁性水素バリア膜60であるSi₃N₄あるいはSiONをCVD法により形成した後、上部電極57cに到達するように第2の絶縁性水素バリア膜59と第3の絶縁性水素バリア膜60にコンタクトホール65を形成する。そして、Al合金等を堆積して所定の形状に加工することで、コンタクトホール65を介して上部電極57cと接続される配線層61を形成し、その配線層61の上に保護膜を形成する。

【0045】上記実施の形態3においては、強誘電体キャパシタ全体が水素吸蔵材料であるTiAl系材料やTiO₂の膜で覆われるとともに、さらにその上に水素拡散低減材料であるSi₃N₄あるいはSiONの膜で覆われる構成を有している。それゆえ、強誘電体キャパシタ形成以後の水素還元雰囲気下での工程においても、酸化物の強誘電体材料からなる容量絶縁膜57bへ拡散する水素を完全に防止でき、容量絶縁膜57bを構成する強誘電体材料のもつ特性が還元によって劣化することを防

止することができる。よって、高信頼性を有する強誘電体メモリ装置が得られるとともに、高歩留まりを実現できる。

【0046】また、本実施形態3においては第2の絶縁性水素バリア膜59として TiO_2 を用いているが、その代わりに $TiAl$ 合金の酸化物を用いても同様の結果が得られる。

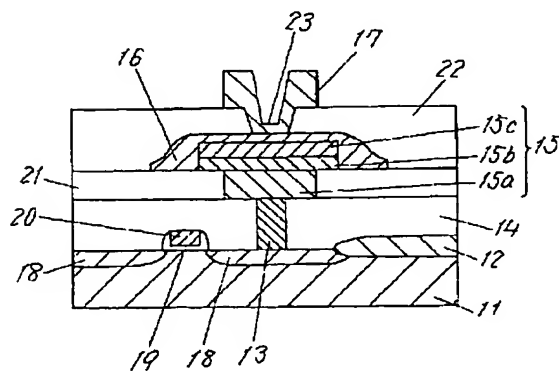
【0047】さらに、本実施形態においては、第1の絶縁性水素バリア膜55及び第3の絶縁性水素バリア膜60である Si_3N_4 あるいは $SiON$ は層間絶縁膜としても機能しているが、第1の絶縁性水素バリア膜55及び第3の絶縁性水素バリア膜60をエッチング加工によって強誘電体キャパシタ57を囲む構成にして、その上を全面に層間絶縁膜として O_3 と $TEOS$ を用いたCVD法によりNSG膜を形成しても、同様の効果が得られる。

【0048】加えて、実施形態3においては、水素吸蔵材料として $TiAl$ 系材料や TiO_2 といった構成元素に Ti を含む材料を使用しているが、この水素吸蔵材料として構成元素に Ta 、 V 、 Y 、 Zr あるいは、 Nb を含む材料を用いても同様の結果が得られる。

【0049】

【発明の効果】以上のように、本発明の強誘電体メモリ装置では、容量絶縁膜を構成する酸化物である強誘電体材料の水素による劣化を防止でき、還元性雰囲気下の工程後も良好な容量特性を得ることができるため、高信頼性、高歩留まりの強誘電体メモリ装置を実現できる。また、強誘電体キャパシタ形成後に W のCVD法による製造プロセスが可能となるため、キャパシタ部として必要なセル面積を縮小できるとともに、高アスペクト比のコンタクト部が形成可能となる。

．【図1】



．【図面の簡単な説明】

．【図1】本発明の第1の実施形態に係る強誘電体メモリ装置の断面図

．【図2】本発明の第1の実施形態に係る強誘電体メモリ装置の製造方法を示す工程断面図

．【図3】本発明の第2の実施形態に係る強誘電体メモリ装置の断面図

．【図4】本発明の第2の実施形態に係る強誘電体メモリ装置の製造方法を示す工程断面図

10 ．【図5】本発明の第3の実施形態に係る強誘電体メモリ装置の断面図

．【図6】本発明の第3の実施形態に係る強誘電体メモリ装置の製造方法を示す工程断面図

．【図7】従来の強誘電体メモリ装置の構成断面図

．【符号の説明】

11、31、51 シリコン基板

12、32、52 素子分離酸化膜

13、33、53 コンタクトプラグ

14、21、22、34、43、54 層間絶縁膜

20 15、36、57 強誘電体キャパシタ

15a、36a、57a 下部電極

15b、36b、57b 容量絶縁膜

15c、36c、57c 上部電極

16、35、37、56、58 導電性の水素バリア膜

17、39、61 配線層

18、40、62 不純物拡散領域

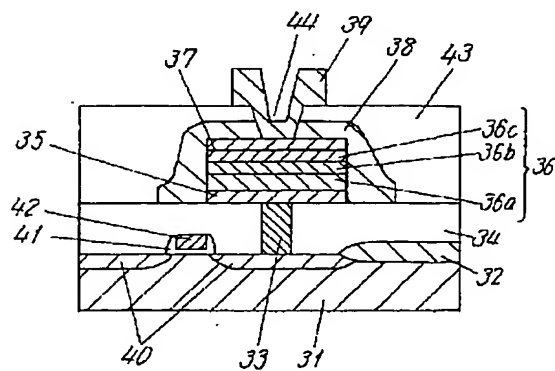
19、41、63 ゲート酸化膜

20、42、64 ゲート電極

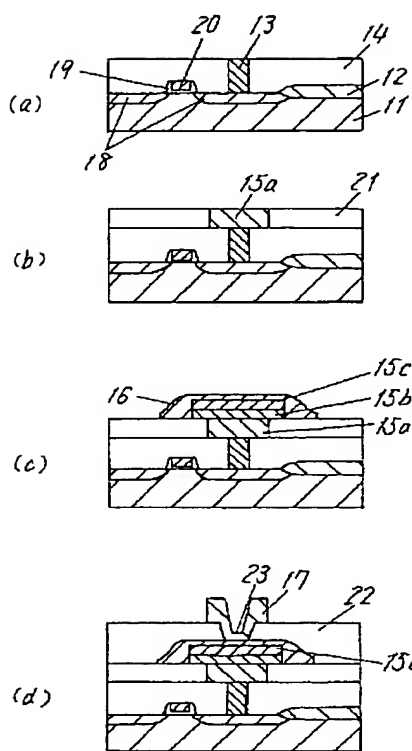
23、44、65 コンタクトホール

30 38、55、59、60 絶縁性の水素バリア膜

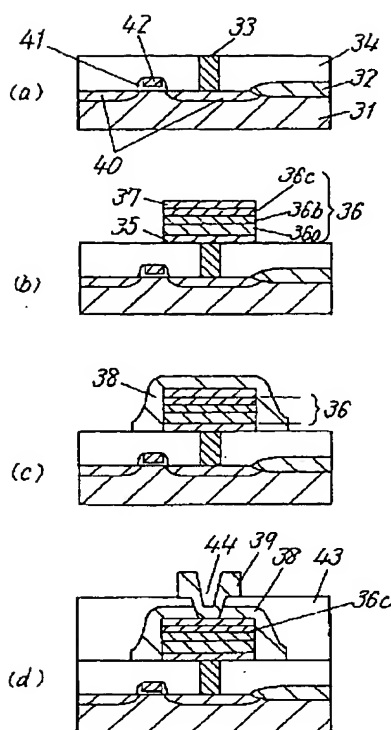
．【図3】



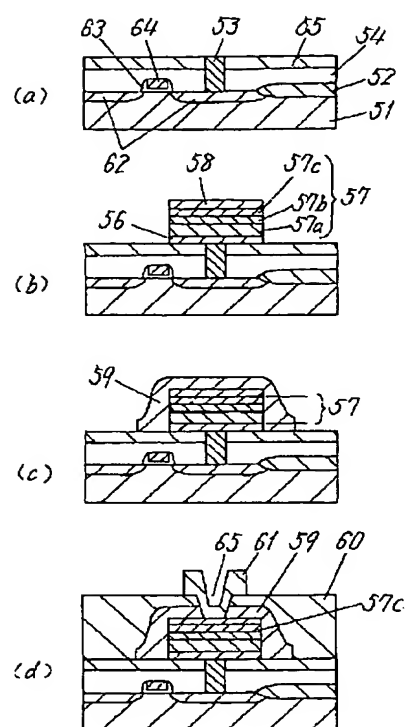
.【図2】



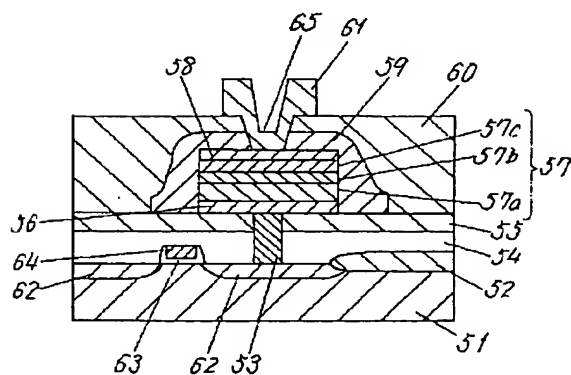
.【図4】



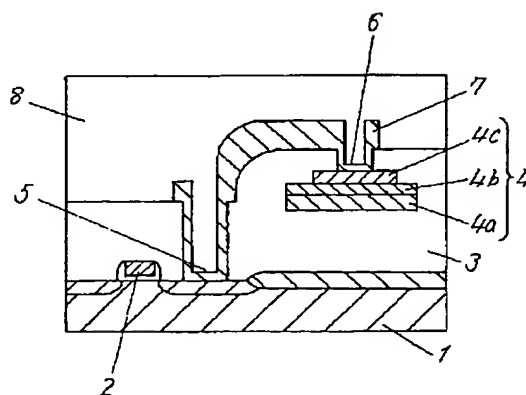
.【図6】



.【図5】



.【図7】



.【手続補正書】

.【提出日】平成13年8月21日(2001.8.21)

.【手続補正1】

.【補正対象書類名】明細書

.【補正対象項目名】特許請求の範囲

.【補正方法】変更

.【補正内容】

.【特許請求の範囲】

.【請求項1】 基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記上部電極上、あるいは、前記上部電極上及び前記上部電極と前記容量絶縁膜の側壁を、導電性水素バリア性を有するTiAl合金又はTiAl合金の窒化物からなる膜で覆う構成を有する強誘電体メモリ装置。

．【請求項2】 前記導電性水素バリア性を有する膜が、TiAl合金又はTiAl合金の酸化膜の一部を酸化した膜であることを特徴とする請求項1記載の強誘電体メモリ装置。

．【請求項3】 基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタが絶縁性水素バリア性を有するアモルファス構造のSi膜あるいはSiC膜で覆われていることを特徴とする強誘電体メモリ装置。

．【請求項4】 基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタが水素バリア性を有するTiAl合金の酸化膜で覆われていることを特徴とする強誘電体メモリ装置。

．【請求項5】 基板上に、下部電極と前記下部電極上に形成された強誘電体よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタを覆うように形成された水素の透過を遮断する水素バリア膜が、水素拡散低減材料と水素吸蔵材料の積層構成となっていることを特徴とする強誘電体メモリ装置。

．【請求項6】 前記水素拡散低減材料が、SiONあるいはSi₃N₄からなることを特徴とする請求項5記載の強誘電体メモリ装置。

．【請求項7】 前記水素吸蔵材料の構成元素にTi、Ta、V、Y、Zr、NbあるいはHfを含む材料からなることを特徴とする請求項5記載の強誘電体メモリ装置。

．【手続補正2】

．【補正対象書類名】明細書

．【補正対象項目名】0016

．【補正方法】変更

．【補正内容】

．【0016】請求項4に係る発明の強誘電体メモリ装置は、基板上に、下部電極と前記下部電極上に形成された強誘電体材料よりなる容量絶縁上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタが水素バリア性を有するTiAl合金の酸化膜で覆われていることを特徴とするものである。この構成では、TiAl系材料の2種類の相（物質）からなる組織を形成するため水素ガスのパスとなる粒界ができにくいと共に、TiAl合金の酸化膜では全体に緻密なAl₂O₃の相ができているため水素バリア性を高めることができる。次に、請求項5に係る発明の強誘電体メモリ装置は、基板上に、下部電極と前記下部電極上に形成された強誘電体よりなる容量絶縁膜と前記容量絶縁膜上に形成された上部電極とを有する強誘電体キャパシタが形成され、前記強誘電体キャパシタを覆うように形成された水素の透過を遮断する水素バリア膜が、水素拡散低減材料と水素吸蔵材料の積層構成となっていることを特徴とするものである。

．【手続補正3】

．【補正対象書類名】明細書

．【補正対象項目名】0018

．【補正方法】変更

．【補正内容】

．【0018】請求項6に係る発明の強誘電体メモリ装置は、請求項5記載の強誘電体メモリ装置において、前記水素拡散低減材料が、SiONあるいはSi₃N₄からなることを特徴とするものである。また、本発明の請求項7記載の強誘電体メモリ装置は、請求項5記載の強誘電体メモリ装置において、前記水素吸蔵材料の構成元素が、Ti、Ta、V、Y、Zr、NbあるいはHfを含む材料からなることを特徴とするものである。

フロントページの続き

(72)発明者 林 慎一郎

大阪府高槻市幸町1番1号 松下電子工業株式会社内

Fターム(参考) 5F083 FR02 GA09 GA25 JA14 JA15
JA33 JA36 JA38 JA39 JA40
JA56 MA06 MA17 NA08 PR22
PR34 PR40